【書類名】明細書

【発明の名称】映像処理回路、映像処理方法、電気光学装置及び電子機器

【技術分野】

　【０００１】

　本発明は、液晶の配向不良により生じる表示不具合の発生を抑える技術に関する。

【背景技術】

　【０００２】

　液晶パネルは、画素毎に設けられた画素電極と、複数画素で共通に設けられたコモン電極とで液晶を挟持した構成である。液晶パネルでは、隣り合う画素電極同士で生じる横電界に起因して、液晶の配向不良（リバースチルトドメイン）が発生し、これが表示不具合の発生の原因となることがある。この種の表示不具合の発生を抑える技術が、例えば、特許文献１から特許文献３に開示されている。特許文献１は、暗画素と明画素との境界を検出し、検出した境界に接する暗画素への印加電圧が電圧Ｖｃを下回る場合に、当該暗画素への印加電圧を電圧Ｖｃに置換することを開示している。特許文献２は、現フレームで検出した暗画素と明画素との境界のうち、現フレームの１フレーム前で検出した境界から変化した部分に接する暗画素に指定された印加電圧を補正することを開示している。特許文献３は、現フレームで検出した暗画素と明画素との境界のうち、現フレームよりも１つ前の前フレームから現フレームにかけて変化した境界を検出し、当該変化した境界に接する画素に指定された印加電圧を、１フレーム期間の一部の期間と他の期間とで異なる電圧に補正することを開示している。

【先行技術文献】

【特許文献】

　【０００３】

　　【特許文献１】特開２０１３－１５２４８３号公報

　　【特許文献２】特開２０１１－５３３９０号公報

　　【特許文献３】特開２０１３－１５６４０９号公報

【発明の概要】

【発明が解決しようとする課題】

　【０００４】

　映画における字幕表示のように、例えば、黒又は黒に近い低階調の背景部に対して、白又は白に近い高階調の表示部が配置された映像を表示した場合、リバースチルトドメインを原因として、以下で説明する表示不具合が発生することがある。

　図２１（ａ）は、フレームシーケンシャル方式による３Ｄ映像の表示例を示す図である。図２１（ａ）の左側の図が、ユーザーの左目で視認される左目用画像を示し、右側の図が、ユーザーの右目で視認される右目用画像を示す。右目用画像は、ユーザに対して視差を与えるために、左目用画像を水平方向（図中右方向）に移動した画像となっている。図２１（ａ）の右側の図に示す波線部は、左目用画像の表示部が存在していた位置を示す。ここで、背景部と表示部との境界のうち、表示部の右辺に沿ってリバースチルトドメインが発生した場合、図２１（ｂ）に示す映像がユーザーに視認される。即ち、右目用画像の表示部の一部であって、左目用画像の表示部の右辺が存在した部分に、黒い線状（筋状）の画像が残像となってユーザーに視認される。この表示不具合の原因となるリバースチルトドメインのことを、以下では「残像ドメイン」と称する。例えば、表示部が文字をなす場合、この残像ドメインを原因として、白又は白に近い色の文字の縁に沿って、黒又は黒に近い色の線状の画像が視認されることがある。

　本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、高階調の領域の一部に低階調の画像が視認される表示不具合の原因となるリバースチルトドメインの発生を抑制することである。

【課題を解決するための手段】

　【０００５】

　上記目的を達成するために、本発明に係る映像処理回路は、複数の画素を含む光変調器の前記画素毎に印加電圧を指定した映像信号に基づいて、前記複数の画素のそれぞれに表示する階調を規定する映像処理回路であって、現フレームの前記映像信号に基づいて、所定階調以下の階調を表示する第１画素のうち、前記所定階調よりも高い階調を表示する第２画素と接する前記第１画素を特定する特定部と、現フレームに時間軸上で隣り合うフレームの前記映像信号に基づいて、特定された前記第１画素の位置に、前記隣り合うフレームにおいて前記第２画素が存在するかどうかを判定する判定部と、前記隣り合うフレームにおいて前記第２画素が存在すると判定された場合には、前記特定された前記第１画素と、当該第１画素と接する前記第２画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正する補正部と、補正された当該映像信号に応じた信号を、当該信号に基づいて前記光変調器を駆動する駆動回路に出力する出力部とを備える。

　この発明によれば、高階調の領域の一部に低階調の画像が視認される表示不具合の原因となるリバースチルトドメインの発生を抑制することができる。

　【０００６】

　本発明において、前記映像信号は、フレーム毎に、左目用画像と右目用画像とが交互に切り替わる３Ｄ映像を示し、前記判定部は、前記特定された前記第１画素の位置に、現フレームの１フレーム前のフレームにおいて、前記第２画素が存在するかどうかを判定してもよい。

　この発明によれば、左目用画像と右目用画像とが交互に切り替わる３Ｄ映像を表示する場合に、高階調の領域の一部に低階調の画像が視認される表示不具合の原因となるリバースチルトドメインの発生を抑制することができる。

　【０００７】

　本発明において、前記判定部は、前記特定された前記第１画素の位置に、現フレームの１フレーム後のフレームにおいて、前記第２画素が存在するかどうかを判定してもよい。

　この発明によれば、３Ｄ映像を表示する場合に限らず、高階調の領域の一部に低階調の画像が視認される表示不具合の原因となるリバースチルトドメインの発生を抑制することができる。

　【０００８】

　本発明において、前記補正部は、前記特定された前記第１画素と、前記接する前記第２画素とのうち、現フレームの前記映像信号で指定された前記印加電圧が低い一方を補正の対象としてもよい。

　この発明によれば、補正の対象とする画素の数の増大を抑えつつ、リバースチルトドメインの発生を抑制することができる。

　【０００９】

　本発明において、前記補正部は、前記特定された前記第１画素、及び前記接する前記第２画素を補正の対象としてもよい。

　この発明によれば、補正の対象とする画素の階調の変化を小さくしつつ、リバースチルトドメインの発生を抑制することができる。

　【００１０】

　本発明において、前記複数の画素は、第１の方向に延在する複数本の走査線と、第２の方向に延在する複数本のデータ線との各交差に対応して設けられ、前記駆動回路は、前記複数本の走査線をＫ本（Ｋは２以上の整数）単位で選択して、当該Ｋ本の走査線うちの一の走査線に対応する前記画素に指定された電圧を印加し、前記補正部は、前記特定された前記第１画素と、前記接する前記第２画素とが、前記第１の方向に隣り合う場合には、当該第１画素と当該第２画素とに挟まれる境界から、前記第１の方向に連続するＰ個（ただし、Ｐは２以上の自然数）の前記画素を補正の対象とし、前記第２の方向に隣り合う場合には、前記境界から、前記第２の方向に連続するＱ個（ただし、ＱはＰよりも小さい自然数）の前記画素を補正の対象としてもよい。

　この発明によれば、走査線を複数本ずつ選択して画素に電圧を印加する場合に、第１の方向における補正の対象の画素の数に対して、第２の方向における補正の対象の画素の数が意図せず増大するのを抑制することができる。

　【００１１】

　本発明において、前記補正部は、前記特定された前記第１画素と、前記接する前記第２画素との境界から、当該境界から離れる方向に連続する２以上の画素を補正の対象とする場合、当該境界に近い画素ほど補正量を大きくしてもよい。

　この発明によれば、リバースチルトドメインの発生しやすさに応じた補正量で、各画素の映像信号を補正することができる。

　【００１２】

　本発明において、前記駆動回路は、１フレームを複数のフィールドに分割し、分割した各フィールドで、前記補正された前記映像信号に応じた電圧を前記画素に印加し、前記判定部は、現フレームの一のフィールドにおける前記第１画素の位置に、前記隣り合うフレームにおける当該一のフィールドに時間軸上で最も近いフィールドにおいて、前記第２画素が存在するかどうかを判定してもよい。

　この発明によれば、１フレームを複数のフィールドに分割して画素に電圧を印加する場合に、高階調の領域の一部に低階調の画像が視認される表示不具合の原因となるリバースチルトドメインの発生を抑制することができる。

　【００１３】

　本発明において、前記映像信号が、フレーム毎に、左目用画像と右目用画像とが交互に切り替わる３Ｄ映像を示す場合には、前記出力部が、補正された前記映像信号に応じた信号を前記駆動回路に出力し、前記映像信号が、２Ｄ映像を示す場合には、現フレームの前記映像信号に基づいて、前記印加電圧が所定電圧よりも大きい第３画素のうち、前記印加電圧が前記所定電圧以下である第４画素と接する前記第３画素を特定し、現フレームの１フレーム前のフレームの前記映像信号に基づいて、特定した前記第３画素の位置に、前記１フレーム前のフレームにおいて前記第４画素が存在するかどうかを判定し、前記１フレーム前のフレームにおいて前記第４画素が存在すると判定した場合には、前記特定した前記第３画素と、当該第３画素と接する前記第４画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正し、補正した当該映像信号に応じた信号を、前記駆動回路に出力してもよい。

　この発明によれば、３Ｄ映像と２Ｄ映像とのどちらを表示する場合でも、リバースチルトドメインを原因とした表示不具合を抑制することができる。

　【００１４】

　本発明は、映像処理回路のほか、映像処理方法、電気光学装置及び当該電気光学装置を備えた電子機器としても観念することが可能である。

【図面の簡単な説明】

　【００１５】

　　【図１】本発明の第１実施形態に係る電気光学装置の全体構成を示す図。

　　【図２】同実施形態に係る液晶パネルが備える画素の等価回路を示す図。

　　【図３】同実施形態に係る制御回路の表示動作の説明図。

　　【図４】同実施形態における左目用画像Ｌ及び右目用画像Ｒの表示例の説明図。

　　【図５】同実施形態に係る液晶パネルのＶ－Ｔ特性を示す図。

　　【図６】リバースチルト発生領域の説明図。

　　【図７】同実施形態に係る映像処理回路の構成を示すブロック図。

　　【図８】同実施形態に係る映像処理回路が実行する映像処理を示すフローチャート。

　　【図９】同実施形態に係る映像処理回路が実行する映像処理の具体例の説明図。

　　【図１０】同実施形態に係る映像処理回路が実行する映像処理の具体例の説明図。

　　【図１１】本発明の第２実施形態に係る制御回路の表示動作の説明図。

　　【図１２】同実施形態に係る表示動作の具体例の説明図。

　　【図１３】同実施形態に係る映像処理回路が実行する映像処理の具体例の説明図。

　　【図１４】動画ドメインが発生する原因の説明図。

　　【図１５】本発明の第３実施形態に係る映像処理回路の構成を示すブロック図。

　　【図１６】同実施形態に係る映像処理回路が実行する映像処理を示すフローチャート。

　　【図１７】同実施形態に係る映像処理回路が実行する映像処理の具体例の説明図。

　　【図１８】本発明の変形例１に係る映像処理回路が実行する映像処理の具体例の説明図。

　　【図１９】本発明の変形例３に係る液晶パネルのＶ－Ｔ特性を示す図。

　　【図２０】本発明の電気光学装置を適用したプロジェクターの構成を示す平面図。

　　【図２１】残像ドメインが発生する原因の説明図。

　　【図２２】明画素に基づいて補正対象の画素を決定する映像処理の問題点の説明図。

　　【図２３】複数本同時書き込みを行った場合の映像処理の問題点の説明図。

【発明を実施するための形態】

　【００１６】

　以下、本発明の実施の形態について図面を参照しつつ説明する。

［第１実施形態］

　図１は、本発明の第１実施形態に係る電気光学装置１の全体構成を示すブロック図である。電気光学装置１は、ユーザーが３Ｄ眼鏡５０を掛けた状態で３Ｄ映像を知覚することができるように、フレームシーケンシャル方式に基づいて３Ｄ映像を表示する。図１に示すように、電気光学装置１は、制御回路１０と、液晶パネル１００と、走査線駆動回路１３０と、データ線駆動回路１４０とを備えた液晶装置である。

　【００１７】

　制御回路１０には、入力映像信号Ｖｉｄ－ｉｎが同期信号Ｓｙｎｃに同期して入力される。入力映像信号Ｖｉｄ－ｉｎは、液晶パネル１００が備える画素１１０毎に印加電圧を指定したデジタルデータである。入力映像信号Ｖｉｄ－ｉｎは、同期信号Ｓｙｎｃに含まれる垂直走査信号、水平走査信号及びドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。

　【００１８】

　入力映像信号Ｖｉｄ－ｉｎは、例えば、上位装置から電気光学装置１に供給された、各画素の階調値を示す階調信号を変換して得られる信号である。電気光学装置１では、例えば、当該階調信号に対してガンマ補正等の所定の処理を行った後に、図示せぬ変換回路において、階調値を電圧値に変換するテーブルを用いて入力映像信号Ｖｉｄ－ｉｎに変換される。

　ただし、階調値に応じて、画素１１０に指定された印加電圧の電圧値が一意に定まる場合、入力映像信号Ｖｉｄ－ｉｎは、画素１１０毎に階調値を指定した映像信号といって差し支えない。

　【００１９】

　制御回路１０は、走査制御回路２０と、映像処理回路３０と、眼鏡制御部４０とを備える。走査制御回路２０は、各種の制御信号を生成して、同期信号Ｓｙｎｃに同期して電気光学装置１の各部を制御する。映像処理回路３０は、入力映像信号Ｖｉｄ－ｉｎに対して所定の映像処理を施して、液晶パネル１００における複数の画素１１０のそれぞれに表示する階調を規定するためのデータ信号Ｖｘを出力する。データ信号Ｖｘは、液晶パネル１００における画素１１０毎の印加電圧を指定したアナログデータである。

　【００２０】

　液晶パネル１００は、入射する光を映像信号に応じて変調する光変調器に相当する。液晶パネル１００は、素子基板１００ａと対向基板１００ｂとが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶１０５が挟持された構成である。素子基板１００ａのうち、対向基板１００ｂとの対向面には、ｍ行の走査線１１２がＸ（横）方向（第１の方向）に延在するように設けられる一方、ｎ列のデータ線１１４がＹ（縦）方向（第２の方向）に延在し、且つ各走査線１１２と互いに電気的に絶縁を保つように設けられている。

　なお、本実施形態では、走査線１１２を区別するために、図において上から順に１、２、３、…、ｍ行目という呼び方をする場合がある。同様に、データ線１１４を区別するために、図において左から順に１、２、３、４、５、６、…、ｎ－１、ｎ列目という呼び方をする場合がある。

　【００２１】

　素子基板１００ａでは、走査線１１２とデータ線１１４との交差のそれぞれに対応して、ｎチャネル型のＴＦＴ１１６と、矩形形状で透明性を有する画素電極１１８との組が設けられている。ＴＦＴ１１６のゲート電極は走査線１１２に接続され、ソース電極はデータ線１１４に接続され、ドレイン電極が画素電極１１８に接続されている。

　一方、対向基板１００ｂのうち、素子基板１００ａとの対向面には、透明性を有するコモン電極１０８が全面にわたって設けられる。コモン電極１０８には、図示省略した回路によって電圧ＬＣｃｏｍが印加される。

　なお、図１において、素子基板１００ａの対向面は紙面裏側であるので、その対向面に設けられる走査線１１２、データ線１１４、ＴＦＴ１１６及び画素電極１１８については、かくれ線（破線）で示すべきであるが、見難くなるのでそれぞれ実線で示す。

　【００２２】

　図２は、液晶パネル１００における等価回路を示す図である。

　図２に示すように、液晶パネル１００は、画素１１０を有する。画素１１０は、走査線１１２とデータ線１１４との交差に対応して、画素電極１１８とコモン電極１０８とで液晶１０５を挟持した液晶素子１２０を備える。液晶素子１２０は、画素電極１１８と、コモン電極１０８とによって生じる電界に応じて、液晶１０５の分子配向状態が変化する。このため、液晶素子１２０は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル１００では、液晶素子１２０毎（画素１１０毎）に透過率が変化する。

　図１では図示を省略したが、実際には図２に示すように、画素１１０の各々において、並列に補助容量（蓄積容量）１２５が設けられる。補助容量１２５は、一端が画素電極１１８に接続され、他端が容量線１１５に共通接続されている。容量線１１５は時間的に一定の電圧に保たれている。

　【００２３】

　ここで、走査線１１２がＨレベルになると、その走査線１１２にゲート電極が接続されたＴＦＴ１１６がオンとなり、画素電極１１８がデータ線１１４に接続される。このため、走査線１１２がＨレベルであるときに、データ線１１４にデータ信号Ｖｘに応じた電圧のデータ信号が供給されると、そのデータ信号は、オンしたＴＦＴ１１６を介して画素電極１１８に印加される。走査線１１２がＬレベルになるとＴＦＴ１１６はオフするが、画素電極１１８に印加された電圧は、液晶素子１２０の容量によって保持されるとともに、液晶素子１２０に並列接続された補助容量１２５において保持される。

　なお、本実施形態においては、液晶１０５をＶＡ（Vertical Alignment）方式とし、液晶素子１２０の各々が、電圧無印加時において黒状態となるノーマリーブラックモードとする。

　【００２４】

　図１に戻って説明する。

　走査線駆動回路１３０は、走査制御回路２０による制御信号Ｙｃｔｒに従って、１、２、３、…、ｍ行目の走査線１１２に、走査信号Ｙ１、Ｙ２、Ｙ３、…、Ｙｍを順番に供給する。詳細には、走査線駆動回路１３０は、走査線１１２を１、２、３、・・・、ｍ行目という順番で１本ずつ選択するとともに、選択した走査線１１２への走査信号を選択電圧ＶH（Ｈレベル）とし、それ以外の走査線１１２への走査信号を非選択電圧ＶL（Ｌレベル）とする。

　ここにおいて、１フレームは、液晶パネル１００を駆動することによって、画像の１コマ分を表示させるのに要する期間である。１フレームは、同期信号Ｓｙｎｃに含まれる垂直走査信号の周波数が１２０Ｈｚであれば、その逆数であるおよそ８．３ミリ秒である。

　【００２５】

　データ線駆動回路１４０は、映像処理回路３０から供給されるデータ信号Ｖｘを、走査制御回路２０による制御信号Ｘｃｔｒに従って、１、２、３、４、５、６、…、ｎ－１、ｎ列目のデータ線１１４に、データ信号Ｘ１、Ｘ２、Ｘ３、Ｘ４、Ｘ５、Ｘ６、…、Ｘｎ－１、Ｘｎとしてサンプリングする。

　走査線駆動回路１３０及びデータ線駆動回路１４０は、線順次で液晶パネル１００を駆動する駆動回路を構成する。

　なお、本実施形態において、電圧については、液晶素子１２０の印加電圧を除き、特に明記しない限り、図示省略した接地電位を電圧ゼロの基準とする。液晶素子１２０の印加電圧は、コモン電極１０８の電圧ＬＣｃｏｍと画素電極１１８との電圧差であり、他の電圧と区別する。

　【００２６】

　眼鏡制御部４０は、制御信号ＣＳを、例えば赤外線通信により３Ｄ眼鏡５０に送信する。制御信号ＣＳは、３Ｄ映像の表示時において右目用画像の表示期間であるのか、左目用画像の表示期間であるのかを示す制御信号である。３Ｄ眼鏡５０は、右目のレンズ部分が液晶シャッター５２Ｒであり、左目のレンズ部分が液晶シャッター５２Ｌである。液晶シャッター５２Ｒ、５２Ｌは、受信部５１によって受信された制御信号ＣＳ等に従って、それぞれ透過状態又は不透過状態に制御される。詳細には、３Ｄ映像の表示時において、右目開期間において、液晶シャッター５２Ｒは透過状態になり、液晶シャッター５２Ｌは不透過状態になり、左目開期間において、液晶シャッター５２Ｒは不透過状態になり、液晶シャッター５２Ｌは透過状態になる。それ以外の期間は液晶シャッター５２Ｒ及び５２Ｌはともに不透過状態になる。

　【００２７】

　図３は、制御回路１０の表示動作を説明する図である。

　同期信号Ｓｙｎｃにより制御される液晶パネル１００の垂直走査信号の周波数は、本実施形態では２４０Ｈｚである。制御回路１０は、図３に示すように、１フレームを第１フィールド、及び第２フィールドの２つのフィールドに分割し、分割した各フィールドで、１～ｍ行目の走査線を１本ずつ走査（選択）する。即ち、上位装置から１２０Ｈｚの供給速度で供給される入力映像信号Ｖｉｄ－ｉｎに基づいて、制御回路１０は、２４０Ｈｚの駆動速度で液晶パネル１００を駆動する。１フィールドの期間は、１／２フレーム期間に相当し、ここではおよそ４．２ミリ秒である。

　【００２８】

　データ信号Ｖｘの書込極性について説明すると、制御回路１０は、第１フィールドにおいて正極性書込（＋）を指定し、第２フィールドにおいて負極性書込（－）を指定する。即ち、制御回路１０は、フィールド毎に書込極性を反転して、画素１１０へのデータ信号Ｖｘの書き込みを行う。制御回路１０は、フレーム毎に、左目用画像Ｌと、右目用画像Ｒとを交互に表示するように、画素１１０へのデータ信号Ｖｘの書き込みを行う。

　３Ｄ眼鏡５０の制御について説明すると、制御回路１０は、第１フィールドでは、３Ｄ眼鏡５０の液晶シャッター５２Ｒ、５２Ｌを不透過状態（図３の「オフ」）とする。制御回路１０は、左目用画像Ｌを表示するフレームの第２フィールドでは、３Ｄ眼鏡５０の液晶シャッター５２Ｌを透過状態（図３の「左オン」）、液晶シャッター５２Ｒを不透過状態とし、右目用画像Ｒを表示するフレームの第２フィールドでは、３Ｄ眼鏡５０の液晶シャッター５２Ｌを不透過状態、液晶シャッター５２Ｒを透過状態（図３の「右オン」）とする。

　【００２９】

　図４は、左目用画像Ｌ及び右目用画像Ｒの表示例を示す図である。図４において、１つの正方形が１画素に対応し、Ｘ方向及びＹ方向に５×５の画素からなる領域が示されている。図４に示す右目用画像Ｒは、左目用画像ＬをＸ方向に移動した映像で、ここでは、左目用画像ＬをＸ方向に１画素分移動した映像である。以下では、比較的明るい階調を表示する画素を「明画素」と称し、比較的暗い階調を表示する画素を「暗画素」と称する。明画素及び暗画素の具体的な条件を、図５を用いて説明する。

　【００３０】

　図５は、画素１１０に指定される印加電圧と、画素１１０が備える液晶素子１２０の透過率との関係（Ｖ－Ｔ特性）を示すグラフである。図５に示すグラフにおいて、横軸は画素１１０に指定される印加電圧を表し、縦軸は液晶素子１２０の透過率（具体的には、相対透過率）を表す。

　図５に示すように、ノーマリーブラックモードでは、画素１１０に対する印加電圧が大きいほど、画素１１０の透過率（又は反射率）が大きくなる。本実施形態では、暗画素は、入力映像信号Ｖｉｄ－ｉｎで指定された印加電圧が閾値電圧ＪＶ以下の画素１１０であり、明画素は、指定された印加電圧が閾値電圧ＪＶを上回る画素１１０である。閾値電圧ＪＶは、液晶素子１２０の透過率（又は反射率）が、図５に示す「Ｒｇ」のときに表示される所定階調（階調レベル）に対応している。よって、暗画素は、この所定階調以下の階調を表示する画素（第１画素）で、明画素は、この所定階調よりも高い階調を表示する画素（第２画素）である。

　なお、閾値電圧ＪＶは、リバースチルト発生領域の知覚されやすさに基づいて、例えば実験的に又は計算により設定される。閾値電圧ＪＶの設定例として、Ｖ－Ｔ特性の変曲点に相当する電圧があるが、この例に限られない。

　【００３１】

　液晶パネル１００において、入力映像信号Ｖｉｄ－ｉｎで指定された電圧が、そのまま画素１１０に印加された場合、隣り合う２つの画素１１０間の印加電圧の差に応じて、リバースチルトドメインが発生することがある。本実施形態では、リバースチルトドメインの発生領域（以下「リバースチルト発生領域」という。）が、暗画素から見て、上辺又は左辺に沿って現れる場合があるものとする。この場合、図４に示す右目用画像Ｒが表示されたときには、図６に示す位置に、リバースチルト発生領域が現れる。そして、この右目用画像Ｒの次のフレームで左目用画像Ｌが表示された場合、図６に示す位置で、右目用画像Ｒのリバースチルトドメインを原因とした残像ドメインがユーザーに視認される可能性がある。

　そこで、映像処理回路３０は、入力映像信号Ｖｉｄ－ｉｎに基づいて、残像ドメインの発生を抑制するための映像処理を実行する。

　【００３２】

　図７は、映像処理回路３０の構成を示すブロック図である。

　図７に示すように、映像処理回路３０は、遅延回路３１と、境界検出部３２と、補正部３３と、Ｄ／Ａ変換部３４とを備える。

　遅延回路３１は、ＦＩＦＯ（First In First Out：先入れ先出し）メモリーや多段のラッチ回路等を有し、供給された入力映像信号Ｖｉｄ－ｉｎを蓄積して、１フレームの期間の経過後に読み出して、境界検出部３２に出力する。遅延回路３１における蓄積及び読出は、走査制御回路２０によって制御される。

　【００３３】

　境界検出部３２は、現フレーム、及び現フレームの１フレーム前のフレーム（以下「前フレーム」という。）の入力映像信号Ｖｉｄ－ｉｎに基づいて、現フレームにおける暗画素と明画素との境界を検出する。前フレームは、現フレームと時間軸上で隣り合うフレームの一例である。前フレームの入力映像信号Ｖｉｄ－ｉｎは、遅延回路３１によって境界検出部３２に供給される。境界検出部３２の機能は、特定部３２１と、判定部３２２とに大別される。

　【００３４】

　特定部３２１は、現フレームの入力映像信号Ｖｉｄ－ｉｎに基づいて、明画素と接する暗画素を特定する。特定部３２１は、ここでは、暗画素のうち、Ｘ方向の反対方向（左方向）、又はＹ方向の反対方向（上方向）に明画素が接している暗画素を特定する。

　判定部３２２は、前フレームの入力映像信号Ｖｉｄ－ｉｎに基づいて、特定部３２１により特定された暗画素の位置に、前フレームにおいて明画素が存在するかどうかを判定する。前述したように、制御回路１０は、１フレームを２つのフィールドに分割して、液晶パネル１００を駆動する。このため、判定部３２２は、現フレームの一のフィールドにおける暗画素の位置に、前フレームにおける最後のフィールドにおいて、明画素が存在するかどうかを判定することとなる。前フレームにおける最後のフィールドは、前フレームのうち、現フレームの各フィールドから時間軸上で最も近いフィールドである。

　【００３５】

　境界検出部３２は、判定部３２２により前フレームで明画素が存在すると判定された場合には、特定部３２１により特定された暗画素と、この暗画素に隣り合う明画素との境界の位置を示す位置情報ＲＥ１（Ｎ）を、補正部３３へ出力する。

　なお、３Ｄ映像を表示する場合に、同一の左目用画像Ｌ及び右目用画像Ｒが、或る程度の期間継続して、交互に表示されることがある。このため、境界検出部３２は、現フレームの暗画素の位置に、前フレームにおいて明画素が存在するかどうかを判定することにより、現フレームの１フレーム後のフレーム（以下「次フレーム」という。）における残像ドメインの発生箇所を検出（推定）できるようにする。

　【００３６】

　補正部３３は、境界検出部３２から供給された位置情報ＲＥ１（Ｎ）に基づいて、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する。補正部３３は、具体的には、位置情報ＲＥ１（Ｎ）が示す位置の境界に接する暗画素と明画素との印加電圧の差を小さくするように、暗画素と明画素との少なくとも一方を補正の対象として、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する。補正部３３は、補正後の映像信号を出力映像信号Ｖｉｄ－ｏｕｔ１として、Ｄ／Ａ変換部３４に出力する。他方、補正部３３は、位置情報ＲＥ１（Ｎ）に基づいて入力映像信号Ｖｉｄ－ｉｎを補正しなかった場合には、入力映像信号Ｖｉｄ－ｉｎをそのまま、出力映像信号Ｖｉｄ－ｏｕｔ１として出力する。

　【００３７】

　Ｄ／Ａ変換部３４は、補正部３３から入力されたデジタルデータである出力映像信号Ｖｉｄ－ｏｕｔ１を、アナログのデータ信号Ｖｘに変換して出力する出力部として機能する。即ち、Ｄ／Ａ変換部３４は、出力映像信号Ｖｉｄ－ｏｕｔ１に基づいて、液晶パネル１００を駆動するためのデータ信号Ｖｘを、データ線駆動回路１４０へ出力する。

　なお、液晶１０５に直流成分が印加されるのを防止するため、データ信号Ｖｘの電圧は、ビデオ振幅中心である電圧Ｖｃｎｔに対して高電位側の正極性電圧と低電位側の負極性電圧とに、ここではフィールド毎に交互に切り替えられる。

　なお、コモン電極１０８に印加される電圧ＬＣｃｏｍは、電圧Ｖｃｎｔとほぼ同電圧と考えてよいが、ｎチャネル型のＴＦＴ１１６のオフリーク等を考慮して、電圧Ｖｃｎｔよりも低位となるように調整されることがある。

　【００３８】

　図８は、映像処理回路３０が実行する映像処理を示すフローチャートである。図９及び図１０は、映像処理回路３０が実行する映像処理の具体例を説明する図である。図９には、図４において破線で囲った領域の画素に関する映像処理の具体例が示されている。

　まず、映像処理回路３０は、入力映像信号Ｖｉｄ－ｉｎに基づいて、一の画素に着目し、これを着目画素とする（ステップＳ１）。次に、映像処理回路３０は、着目画素が暗画素かどうかを判定する（ステップＳ２）。

　映像処理回路３０は、着目画素が暗画素でない、即ち明画素と判定した場合には（ステップＳ２；ＮＯ）、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ１とし、データ信号Ｖｘに変換して出力する。

　【００３９】

　ステップＳ２の処理で「ＹＥＳ」と判定した場合には、映像処理回路３０は、着目画素である暗画素から見て、Ｘ方向の反対方向（左方向）、又はＹ方向の反対方向（上方向）に明画素が接しているかどうかを判定する（ステップＳ３）。

　ここで、図９（ａ）に示すように、Ｎ－２フレームからＮ＋１フレームまでの各フレームの入力映像信号Ｖｉｄ－ｉｎが、映像処理回路３０に順次供給された場合を考える。この場合、「ＲＥ」と記した暗画素が着目画素となったときには、映像処理回路３０は、ステップＳ３で「ＹＥＳ」と判定する。ステップＳ３で「ＮＯ」と判定した場合には、映像処理回路３０は、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ１とし、データ信号Ｖｘに変換して出力する。

　【００４０】

　ステップＳ３で「ＹＥＳ」と判定して、明画素と接する暗画素を特定すると、映像処理回路３０は、この暗画素が存在する位置に、前フレームにおいて明画素が存在するかどうかを判定する（ステップＳ４）。例えば、Ｎフレームを現フレームとして、「ＲＥ」と記した暗画素が特定された場合、前フレームであるＮ－１フレームにおいて、この暗画素の位置には明画素が存在する。この場合、映像処理回路３０は、ステップＳ４で「ＹＥＳ」と判定する。ステップＳ４で「ＹＥＳ」と判定した場合、映像処理回路３０は、特定した暗画素と、この暗画素に接する明画素との境界に基づいて補正対象の画素を決定し、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する（ステップＳ５）。そして、映像処理回路３０は、補正後の映像信号を出力映像信号Ｖｉｄ－ｏｕｔ１とし、データ信号Ｖｘに変換して出力する。

　【００４１】

　ステップＳ５で、映像処理回路３０は、暗画素を補正対象とする場合には、図９（ｂ）の補正例１に示すように、暗画素の入力映像信号Ｖｉｄ－ｉｎを、印加電圧ＣＶ＿Ｌを指定する映像信号に補正する。印加電圧ＣＶ＿Ｌは、図５に示すように、補正前の暗画素の印加電圧よりも高い電圧である。印加電圧ＣＶ＿Ｌは、固定の電圧であってもよいし、特定された暗画素と接する明画素に指定された印加電圧に応じて設定されてもよい。後者の場合、映像処理回路３０は、明画素に指定された印加電圧が大きいほど、印加電圧ＣＶ＿Ｌを大きくするとよい。

　この補正により、左目用画像Ｌにおける暗画素と明画素との境界付近において、リバースチルトドメインの発生が抑制される。これにより、次のフレームの右目用画像Ｒにおいて、残像ドメインによる表示不具合がユーザーに視認され難くなる（図９（ｂ）の波線の楕円部参照）。

　【００４２】

　ステップＳ５で、映像処理回路３０は、暗画素及び明画素を補正対象としてもよい。この場合、映像処理回路３０は、図９（ｃ）の補正例２に示すように、暗画素の入力映像信号Ｖｉｄ－ｉｎを、印加電圧ＣＶ＿Ｌを指定する映像信号に補正するとともに、明画素の入力映像信号Ｖｉｄ－ｉｎを、印加電圧ＣＶ＿Ｈを指定する映像信号に補正する。印加電圧ＣＶ＿Ｈは、固定の電圧であってもよいし、特定された暗画素に指定された印加電圧に応じて設定されてもよい。後者の場合、映像処理回路３０は、暗画素に指定された印加電圧が小さいほど、印加電圧ＣＶ＿Ｈを小さくするとよい。

　この補正により、左目用画像Ｌにおける暗画素と明画素との境界付近において、リバースチルトドメインの発生が抑制され、次のフレームの右目用画像Ｒにおいて、残像ドメインによる表示不具合がユーザーに視認され難くなる（図９（ｃ）の波線の楕円部参照）。また、補正例２の場合、補正例１の場合に比べて、補正対象の画素の数は増えているが、一画素当たりの補正量を小さくすることも可能である。

　【００４３】

　以上説明した映像処理が、図４に示す入力映像信号Ｖｉｄ－ｉｎに施された場合、出力映像信号Ｖｉｄ－ｏｕｔ１は、図１０に示すとおりになる。図１０（ａ）は補正例１に対応し、図１０（ｂ）は補正例２に対応する。図１０（ａ）、（ｂ）に示すように、図６で説明した残像ドメインの発生箇所に存在する画素が、補正対象となるので、残像ドメインを原因とした表示不具合がユーザーに視認され難くなる

　【００４４】

　ステップＳ５において、映像処理回路３０は、暗画素を補正対象とせずに、明画素を補正対象としてもよい。また、映像処理回路３０は、明画素又は／及び明画素の補正処理数を、「２」以上としてもよい。補正処理数とは、暗画素と明画素との境界に接する画素から数えて、当該境界の反対方向に連続する補正対象の画素の数のことをいう。例えば、補正処理数が「３」の場合、境界と接する画素から数えて、当該境界の反対方向に連続する３つの画素が補正対象となる。

　なお、映像処理回路３０は、ステップＳ４の処理で、着目画素が前フレームにおいて明画素でない、即ち暗画素と判定した場合には（ステップＳ４；ＮＯ）、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ１とし、データ信号Ｖｘに変換して出力する。

　【００４５】

　図２２は、ステップＳ２の処理を、着目画素が明画素かどうかを判定するステップに置き換えた場合の映像処理を説明する図である。この場合、図２２（ａ）に「ＲＥ」と記した明画素が着目画素となったときに、補正対象の画素が決定される。このとき、図２２（ｂ）に示すように、残像ドメインの発生箇所に接する画素は補正対象とならないため、残像ドメインによる表示不具合がユーザーに視認されやすくなる。よって、映像処理回路３０は、ステップＳ２で、着目画素が暗画素かどうかを判定しているのである。

　以上のとおり、映像処理回路３０が実行する映像処理により、残像ドメインを原因とした表示不具合の発生を抑制することができる。また、この残像ドメインを抑制する効果は、例えば、高階調の背景部に対して、黒低階調の表示部が配置された映像の場合も同様に奏する。

　【００４６】

［第２実施形態］

　次に、本発明の第２実施形態を説明する。

　この第２実施形態の電気光学装置１では、制御回路１０が以下で説明する表示動作を行う。

　図１１は、本実施形態の制御回路１０の表示動作を説明する図である。

　同期信号Ｓｙｎｃにより制御される液晶パネル１００の垂直走査信号の周波数は、本実施形態では４８０Ｈｚである。制御回路１０は、図１１に示すように、１フレームを第１フィールド～第４フィールドの４つのフィールドに分割し、分割した各フィールドで１～ｍ行目の走査線を走査する。

　【００４７】

　データ信号Ｖｘの書込極性について説明すると、制御回路１０は、２フィールド毎に書込極性を反転して、画素１１０へのデータ信号Ｖｘの書き込みを行う。また、制御回路１０は、フレーム毎に、左目用画像と、右目用画像とを交互に表示するように、画素１１０へのデータ信号Ｖｘの書き込みを行う。ただし、制御回路１０は、左目用画像を表示するフレームでは、第１フィールド及び第３フィールドで左目用画像Ｌ１を表示し、第２フィールド及び第４フィールドで左目用画像Ｌ２を表示する。また、制御回路１０は、右目用画像を表示するフレームでは、第１フィールド及び第３フィールドで右目用画像Ｒ１を表示し、第２フィールド及び第４フィールドで右目用画像Ｒ２を表示する。

　【００４８】

　３Ｄ眼鏡５０の制御について説明すると、制御回路１０は、各フレームの第１フィールドでは、３Ｄ眼鏡５０の液晶シャッター５２Ｒ、５２Ｌを不透過状態とし、左目用画像を表示するフレームの第２～４フィールドでは３Ｄ眼鏡５０の液晶シャッター５２Ｌを透過状態、液晶シャッター５２Ｒを不透過状態とし、右目用画像を表示するフレームの第２～４フィールドでは、３Ｄ眼鏡５０の液晶シャッター５２Ｌを不透過状態、液晶シャッター５２Ｒを透過状態とする。これにより、上述した第１実施形態の場合よりも、液晶シャッター５２Ｌ、５２Ｒが透過状態となる期間が長くなり、ユーザーに視認される３Ｄ映像の明るさが向上する。

　【００４９】

　また、図１１に示すように、本実施形態では、１フィールドの期間が上述した第１実施形態の半分（１／２）となる。このため、制御回路１０は、複数の走査線１１２をＫ本（Ｋは２以上の整数）単位で選択して、各走査線１１２に対応する画素１１０にデータ信号Ｖｘを書き込む「複数本同時書き込み」を行う。本実施形態ではＫ＝２とし、制御回路１０は、Ｙ方向に隣り合う２本の走査線１１２を同時に選択する。

　【００５０】

　複数本同時書き込みが行われるときには、上位装置から電気光学装置１に対して、フレーム毎に、１フレームの映像信号を、Ｙ方向に半分に間引いた入力映像信号Ｖｉｄ－ｉｎが供給される。ここでは、奇数行である第ｉ行（ｉ＝１、３、５、・・・）の画素１１０に対する印加電圧を指定した入力映像信号Ｖｉｄ－ｉｎが供給される。

　【００５１】

　そして、制御回路１０は、図１２に示すように、Ｎ－１フレームで左目用画像Ｌ１を表示する場合、及びＮフレームで右目用画像Ｒ１を表示する場合には、第ｉ行の走査線１１２に対応する画素の入力映像信号Ｖｉｄ－ｉｎに基づいて、第２ｉ－１行及び第２ｉ行の走査線１１２に対応する画素１１０に、データ信号Ｖｘを書き込む。同様に、制御回路１０は、第ｉ＋１行の走査線１１２に対応する画素の入力映像信号Ｖｉｄ－ｉｎに基づいて、第２ｉ＋１行及び第２ｉ＋２行の走査線１１２に対応する画素１１０に、データ信号Ｖｘを書き込む。また、制御回路１０は、Ｎ－１フレームで、左目用画像Ｌ２を表示する場合には、左目用画像Ｌ１をＹ方向に１行ずつ（１画素ずつ）ずらしたデータ信号Ｖｘを書き込む。同様に、制御回路１０は、Ｎフレームで、右目用画像Ｒ２を表示する場合には、右目用画像Ｒ１をＹ方向に１行ずつ（１画素ずつ）ずらしたデータ信号Ｖｘを書き込む。

　この複数本同時書き込みにより、Ｙ方向における解像度ｈａ低くなるものの、液晶パネル１００の高速駆動によって、ユーザーに視認される３Ｄ映像の明るさが向上する。

　【００５２】

　以上の表示動作の下、Ｘ方向の補正処理数Ｐ（Ｐは自然数）と、Ｙ方向の補正処理数Ｑ（Ｑは自然数）とが同じ値に設定された場合、以下で説明する映像処理の問題点が生じることがある。ここでは、暗画素について、Ｘ方向の補正処理数Ｐと、Ｙ方向の補正処理数Ｑとが「２」に設定された場合を考える。

　この場合、図２３に示すように、Ｘ方向に対しては、暗画素と明画素との境界から、Ｘ方向に連続する２個の暗画素が補正対象となる。しかしながら、Ｙ方向に対しては、暗画素と明画素との境界から、Ｙ方向に４個の画素が補正対象となる。その理由は、補正対象となったＹ方向に連続する２個の暗画素に基づいて、複数本同時書き込みが行われるからである。これにより、Ｙ方向に対して補正対象となる画素の数が意図せず多くなり、補正による表示内容の変化がユーザーによって視認されやすくなる。即ち、複数本同時書き込みを行った場合、補正処理数Ｐ、Ｑの設定と、実際の補正対象の画素の数とに、齟齬が生じることがある。

　【００５３】

　そこで、本実施形態の映像処理回路３０は、複数の走査線１１２がＫ本単位で選択される場合には、Ｙ方向における補正処理数Ｑを、Ｘ方向における補正処理数Ｐよりも少なくする。具体的には、映像処理回路３０は、補正処理数Ｑを、補正処理数Ｐの１／Ｋとする。映像処理回路３０は、例えば、補正処理数Ｐを「２」とし、補正処理数Ｑを「１」とする。

　これにより、図１２に示す右目用画像Ｒ１及び右目用画像Ｒ２を示す入力映像信号Ｖｉｄ－ｉｎが補正された場合には、図１３に示す右目用画像Ｒ１及び右目用画像Ｒ２が表示される。図１３に示すように、本実施形態の映像処理により、複数本同時書き込みが行われた場合でも、補正による表示内容の変化がユーザーに視認されるのを抑制することができる。

　【００５４】

［第３実施形態］

　次に、本発明の第３実施形態を説明する。

　この第３実施形態の電気光学装置１は、３Ｄ映像を表示するだけでなく、２Ｄ映像を表示する機能を有する。更に、本実施形態の映像処理回路は、３Ｄ映像を表示する場合と、２Ｄ映像を表示する場合とで、リバースチルトドメインの発生を抑えるための映像処理を異ならせる。具体的には、映像処理回路は、３Ｄ映像を表示する場合には、前述した残像ドメインを抑制するための映像処理を実行し、２Ｄ映像を表示する場合には、動画の表示を原因として発生するリバースチルトドメイン（以下「動画ドメイン」という。）を抑制するための映像処理を実行する。

　【００５５】

　図１４は、動画ドメインが発生する原因を説明する図である。図１４に示すように、Ｎ－２フレーム、Ｎ－１フレーム、Ｎフレームの順に、暗画素（第４画素）を背景として、明画素（第３画素）が１フレームにつき１画素ずつＸ方向に移動する場合を考える。２Ｄ映像の表示時における暗画素及び明画素の条件は、前述した３Ｄ映像の表示時における暗画素及び明画素の条件と異なるものとする。具体的には、２Ｄ映像の表示時における暗画素は、印加電圧が所定電圧以下である画素１１０で、２Ｄ映像の表示時における明画素は、印加電圧がこの所定電圧よりも大きい画素１１０である。この所定電圧は、閾値電圧ＪＶと同じであってもよいし、異なっていてもよい。

　【００５６】

　図１４に示すように、動画ドメインは、映像の動きに伴って暗画素から明画素に変化すべき画素が、リバースチルトドメインの発生によって本来の階調にはならないことにより発生する。この動画ドメインは、複数の明画素のリバースチルト発生領域が連結して、一種の尾引き現象として顕在化する。したがって、動画ドメインを原因とした表示不具合を抑えるためには、前フレームから現フレームにわたって暗画素から明画素に変化した画素に着目して、補正対象の画素が決定されればよい。

　【００５７】

　図１５は、本実施形態の映像処理回路３０Ａの構成を示すブロック図である。

　図１５に示すように、映像処理回路３０Ａは、上述した第１実施形態で説明した遅延回路３１と、境界検出部３２と、補正部３３と、Ｄ／Ａ変換部３４とに加え、切替制御部３５と、遅延回路３６と、境界検出部３７と、補正部３８とを備える。

　切替制御部３５は、供給された入力映像信号Ｖｉｄ－ｉｎの出力先を切り替える制御を行う。切替制御部３５は、上位装置又は映像処理回路３０Ａに設けられた、３Ｄ映像か又は２Ｄ映像かを判定する回路ブロック（図示略）からの信号に基づいて、入力映像信号Ｖｉｄ－ｉｎが３Ｄ映像又は２Ｄ映像のどちらを示すかを判定する。切替制御部３５は、３Ｄ映像と判定した場合には、入力映像信号Ｖｉｄ－ｉｎを、遅延回路３１、境界検出部３２及び補正部３３に出力する。切替制御部３５は、表示映像が２Ｄ映像と判定した場合には、入力映像信号Ｖｉｄ－ｉｎを、遅延回路３６、境界検出部３７及び補正部３８に出力する。

　【００５８】

　遅延回路３６は、遅延回路３１と同じ構成を有し、供給された入力映像信号Ｖｉｄ－ｉｎを蓄積して、１フレームの期間の経過後に読み出して、境界検出部３７に出力する。遅延回路３６における蓄積及び読出は、走査制御回路２０によって制御される。

　【００５９】

　境界検出部３７は、現フレーム、及び前フレームの入力映像信号Ｖｉｄ－ｉｎに基づいて、現フレームにおける暗画素と明画素との境界を検出する。前フレームの入力映像信号Ｖｉｄ－ｉｎは、遅延回路３６によって境界検出部３７に供給される。境界検出部３７の機能は、特定部３７１と、判定部３７２とに大別される。

　特定部３７１は、現フレームの入力映像信号Ｖｉｄ－ｉｎに基づいて、暗画素が接している明画素を特定する。特定部３７１は、ここでは、明画素のうち、Ｘ方向（右方向）、又はＹ方向（下方向）に暗画素が接している明画素を特定する。

　判定部３７２は、前フレームの入力映像信号Ｖｉｄ－ｉｎに基づいて、特定部３７１により特定された明画素の位置に、前フレームにおいて暗画素が存在するかどうかを判定する。

　【００６０】

　境界検出部３７は、判定部３７２により前フレームで暗画素が存在すると判定された場合には、特定部３７１により特定された明画素と、この明画素に隣り合う暗画素との境界の位置を示す位置情報ＲＥ２（Ｎ）を、補正部３８へ出力する。

　【００６１】

　補正部３８は、境界検出部３７から供給された位置情報ＲＥ２（Ｎ）に基づいて、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する。補正部３８は、具体的には、位置情報ＲＥ２（Ｎ）が示す位置の境界に接する暗画素と明画素との印加電圧の差を小さくするように、暗画素と明画素との少なくとも一方を補正の対象として、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する。補正部３８は、補正後の映像信号を出力映像信号Ｖｉｄ－ｏｕｔ２として、Ｄ／Ａ変換部３４に出力する。補正部３８は、位置情報ＲＥ２（Ｎ）に基づいて入力映像信号Ｖｉｄ－ｉｎを補正しなかった場合には、この入力映像信号Ｖｉｄ－ｉｎをそのまま、出力映像信号Ｖｉｄ－ｏｕｔ２として出力する。

　【００６２】

　以上の構成により、映像処理回路３０Ａでは、３Ｄ映像を表示する場合には、補正部３３よって補正された出力映像信号Ｖｉｄ－ｏｕｔ１が、Ｄ／Ａ変換部３４に出力され、２Ｄ映像を表示する場合には、補正部３８よって補正された出力映像信号Ｖｉｄ－ｏｕｔ２が、Ｄ／Ａ変換部３４に出力される。切替制御部３５は、この制御のほかに、遅延回路３１、境界検出部３２と、補正部３３とからなる第１回路ブロック、及び遅延回路３６と、境界検出部３７と、補正部３８とからなる第２回路ブロックとを選択的に動作させる制御を行ってもよい。

　【００６３】

　図１６は、映像処理回路３０Ａが実行する映像処理の流れを示すフローチャートである。図１７は、映像処理回路３０Ａが実行する映像処理の具体例を説明する図である。

　まず、映像処理回路３０Ａは、入力映像信号Ｖｉｄ－ｉｎが、３Ｄ映像と２Ｄ映像とのどちらを示すかを判定する（ステップＳ１１）。３Ｄ映像を示すと判定した場合（ステップＳ１１；３Ｄ映像）、映像処理回路３０Ａは、図８のステップＳ１へ進む。３Ｄ映像を表示する場合の映像処理は、上述した第１実施形態と同じでよく、ここでの説明を省略する。

　映像処理回路３０Ａは、２Ｄ映像を示すと判定した場合（ステップＳ１１；２Ｄ映像）、入力映像信号Ｖｉｄ－ｉｎに基づいて一の画素に着目し、これを着目画素とする（ステップＳ１２）。次に、映像処理回路３０Ａは、着目画素が明画素かどうかを判定する（ステップＳ１３）。

　映像処理回路３０Ａは、着目画素が明画素でない、即ち暗画素と判定した場合には（ステップＳ１３；ＮＯ）、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ２とし、データ信号Ｖｘに変換して出力する。

　【００６４】

　ステップＳ１３の処理で「ＹＥＳ」と判定した場合には、映像処理回路３０Ａは、着目画素である明画素から見て、Ｘ方向（右方向）、又はＹ方向（下方向）に暗画素が接しているかどうかを判定する（ステップＳ１４）。

　ここで、図１７（ａ）に示すように、Ｎ－２フレーム、Ｎ－１フレーム、Ｎフレームの順で、暗画素を背景として、明画素が１フレームにつき１画素ずつＸ方向に移動する場合を考える。この場合、「ＲＥ」と記した明画素が着目画素となったときに、映像処理回路３０Ａは、ステップＳ１４で「ＹＥＳ」と判定することとなる。映像処理回路３０Ａは、ステップＳ１４で「ＮＯ」と判定した場合には、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ２とし、データ信号Ｖｘに変換して出力する。

　【００６５】

　ステップＳ１４で「ＹＥＳ」と判定して、暗画素と接する明画素を特定すると、映像処理回路３０Ａは、この明画素が存在する位置に、前フレームにおいて暗画素が存在するかどうかを判定する（ステップＳ１５）。ここで、Ｎフレームを現フレームとして、「ＲＥ」と記した明画素を特定した場合、映像処理回路３０Ａは、ステップＳ１５で「ＹＥＳ」と判定する。ステップＳ１５で「ＹＥＳ」と判定した場合、映像処理回路３０Ａは、特定した明画素に基づいて補正対象の画素を決定し、現フレームの入力映像信号Ｖｉｄ－ｉｎを補正する（ステップＳ１６）。そして、映像処理回路３０Ａは、補正後の映像信号を出力映像信号Ｖｉｄ－ｏｕｔ２とし、データ信号Ｖｘに変換して出力する。補正対象の画素を決定する方法、及び補正後の印加電圧の決定の方法は、ステップＳ５と同じでよく、ここでは説明を省略する。

　【００６６】

　映像処理回路３０Ａは、例えば暗画素を補正対象とする場合には、図１７（ｂ）に示すように、暗画素の映像信号を、印加電圧ＣＶ＿Ｌを指定する映像信号に補正する。そして、映像処理回路３０Ａは、補正後の映像信号を出力映像信号Ｖｉｄ－ｏｕｔ２とし、データ信号Ｖｘに変換して出力する。

　なお、映像処理回路３０Ａは、ステップＳ１５の処理で、着目画素が前フレームで暗画素でない、即ち明画素と判定した場合には、ステップＳ１５の処理で「ＮＯ」と判定する。この場合、映像処理回路３０Ａは、入力映像信号Ｖｉｄ－ｉｎを出力映像信号Ｖｉｄ－ｏｕｔ２とし、データ信号Ｖｘに変換して出力する。

　【００６７】

　以上のように、液晶パネル１００に２Ｄ映像を表示させる場合には、映像処理回路３０Ａは、動画ドメインを原因とした尾引き現象が目立ち難くなるように、入力映像信号Ｖｉｄ－ｉｎを補正する。これにより、映像処理回路３０Ａは、３Ｄ映像と２Ｄ映像とのどちらを表示する場合でも、リバースチルトドメインを原因とした表示不具合を抑制することができる。

　なお、本実施形態では、映像処理回路３０Ａが、残像ドメインを抑制するための第１回路ブロックと、動画ドメインを抑制するための第２回路ブロックとを個別に備える場合を説明したが、第１回路ブロックを構成する各要素が、残像ドメインを抑制するための映像処理と、動画ドメインを抑制するための映像処理とを選択的に行ってもよい。

　【００６８】

［変形例］

　本発明は、上述した実施形態と異なる形態で実施することが可能である。また、以下に示す変形例は、各々を適宜に組み合わせてもよい。以下では、上述した第１、第２実施形態の映像処理回路３０と、上述した第３実施形態の映像処理回路３０Ａとを、「映像処理回路３０」と総称する。

（変形例１）

　補正処理数を「２」以上とする場合に、映像処理回路３０は、暗画素と明画素との境界に近い画素ほど、補正量を大きくしてもよい。映像処理回路３０は、例えば、暗画素及び明画素を補正対象とし、且つ、それぞれの補正処理数を「２」とした場合、図１８で説明する映像処理を実行する。即ち、映像処理回路３０は、暗画素については、明画素との境界に近い画素ほど印加電圧を大きくするために補正量を大きくし、この境界から遠い画素ほど印加電圧を小さくするために補正量を小さくする。また、映像処理回路３０は、明画素については、暗画素との境界に近い画素ほど印加電圧を小さくするために補正量を大きくし、この境界から遠い画素ほど印加電圧を大きくするために補正量を小さくする。これにより、映像処理回路３０は、リバースチルトドメインの発生しやすさを加味した補正量で、映像信号を補正することができる。

　【００６９】

（変形例２）

　上述した各実施形態では、映像処理回路３０は、現フレームにおいて暗画素が存在する位置に、前フレームにおいて明画素が存在するかどうかを判定していた。

　しかし、残像ドメインが発生するのは、次フレームの右目用画像が表示されたとき（例えば、図２２（ｂ）のＮ＋１フレーム）である。そこで、映像処理回路３０は、現フレームの暗画素が存在する位置に、次フレームにおいて明画素が存在するかどうかを判定してもよい。なお、次フレームは、現フレームと時間軸上で隣り合うフレームの一例である。

　映像処理回路３０は、例えば、現フレームの入力映像信号Ｖｉｄ－ｉｎを蓄積するフレームメモリーを更に備え、このフレームメモリーから読み出した現フレームの入力映像信号Ｖｉｄ－ｉｎと、次に供給された次フレームの入力映像信号Ｖｉｄ－ｉｎとに基づいて、残像ドメインを抑制するための映像処理を実行する。この場合の映像処理は、上述した各実施形態で説明した、前フレームの映像信号を、次フレームの映像信号に置き換えた映像処理でよい。

　ただし、映像処理回路３０の判定部３２２は、現フレームの一のフィールドにおける暗画素の位置に、次フレームにおける最初のフィールドにおいて、明画素が存在するかどうかを判定することとなる。次フレームにおける最初のフィールドは、次フレームのうち、現フレームの各フィールドから時間軸上で最も近いフィールドである。

　この変形例の映像処理回路３０によれば、例えば２Ｄ映像を表示する場合に、残像ドメインが発生する条件が整った場合でも、リバースチルトドメインの発生を抑制することができる。

　【００７０】

（変形例３）

　上述した各実施形態では、液晶１０５にＶＡ方式を用いた例を説明したが、ＴＮ（Twisted Nematic）方式とし、液晶素子１２０の各々が、電圧無印加時において白状態となるノーマリーホワイトモードとしてもよい。

　図１９は、ノーマリーホワイトモードにおける、画素１１０に指定される印加電圧と、画素１１０が備える液晶素子１２０の透過率との関係（Ｖ－Ｔ特性）を示すグラフである。図１９に示すグラフにおいて、横軸は画素１１０に指定される印加電圧を表し、縦軸は液晶素子１２０の透過率（具体的には、相対透過率）を表す。

　図１９に示すように、ノーマリーホワイトモードでは、画素１１０に対する印加電圧が小さいほど、画素１１０の透過率（又は反射率）が大きくなる。このため、ノーマリーホワイトモードでは、例えば、画素１１０に対して指定された印加電圧が閾値電圧ＪＶ以下の画素１１０が明画素（第２画素）となり、閾値電圧ＪＶを上回る画素１１０が暗画素（第１画素）となる。

　映像処理回路３０で実行される映像処理については、ノーマリーホワイトモードの液晶パネル１００の場合、画素１１０の液晶素子１２０に印加される電圧と透過率との関係が、ノーマリーブラックモードの液晶パネル１００の場合とは逆となり、透過率（又は反射率）が低い場合ほど、液晶素子１２０に印加されるべき電圧が大きくなる。ただし、映像処理回路３０Ａは、この点を除いて、上述した各実施形態と同様の映像処理を実行すればよい。

　【００７１】

（変形例４）

　暗画素及び明画素は、上述した各実施形態で説明した条件によって規定されなくてもよい。例えば、画素１１０に対して指定された印加電圧が予め決められた閾値以下である画素を暗画素とし、指定された印加電圧がこの閾値よりも大きい閾値以上である画素を明画素としてもよい（ノーマリーブラックモードの場合）。即ち、暗画素及び明画素は、隣り合う２つの画素であって、或る印加電圧が指定された画素１１０と、これよりも大きい印加電圧が指定された画素１１０との組み合わせによって規定されていればよい。

　図７で説明した映像処理回路３０、及び図１５で説明した映像処理回路３０Ａの構成はあくまで一例であり、例えば、２以上のブロックを統合した回路で実現されてもよいし、一部のブロックを省略した回路で実現されてもよい。

　また、上述した実施形態で説明した具体的な数値は、あくまで一例である。

　また、上述した実施形態で説明した処理の順番は適宜入れ替えられてもよい。

　また、液晶パネル１００は、透過型に限られず、例えば反射型であってもよい。

　【００７２】

［電子機器］

　上述した各実施形態に係る電気光学装置１を用いた電子機器の一例として、液晶パネル１００をライトバルブ（即ち光変調器）として用いた投射型表示装置（プロジェクター）について説明する。図２０は、このプロジェクターの構成を示す平面図である。

　図２０に示すように、プロジェクター２１００の内部には、ハロゲンランプ等の白色光源からなるランプユニット２１０２が設けられている。このランプユニット２１０２から射出された投射光は、内部に配置された３枚のミラー２１０６及び２枚のダイクロイックミラー２１０８によってＲ色、Ｇ色、Ｂ色の３原色に分離されて、各原色に対応するライトバルブ１００Ｒ、１００Ｇ及び１００Ｂにそれぞれ導かれる。なお、Ｂ色の光は、他のＲ色やＧ色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ２１２２、リレーレンズ２１２３及び出射レンズ２１２４からなるリレーレンズ系２１２１を介して導かれる。

　【００７３】

　このプロジェクター２１００では、液晶パネル１００を含む電気光学装置１が、Ｒ色、Ｇ色、Ｂ色のそれぞれに対応して３組設けられる。ライトバルブ１００Ｒ、１００Ｇ及び１００Ｂの構成は、上述した液晶パネル１００と同様である。Ｒ色、Ｇ色、Ｂ色のそれぞれの原色成分の映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ１００Ｒ、１００Ｇ及び１００Ｂがそれぞれ駆動される構成となっている。

　ライトバルブ１００Ｒ、１００Ｇ、１００Ｂによってそれぞれ変調された光は、ダイクロイックプリズム２１１２に３方向から入射する。そして、このダイクロイックプリズム２１１２において、Ｒ色及びＢ色の光は９０度に屈折する一方、Ｇ色の光は直進する。したがって、各原色の画像が合成された後、スクリーン２１２０には、投射レンズ２１１４によってカラー画像が投射されることとなる。

　【００７４】

　なお、ライトバルブ１００Ｒ、１００Ｇ及び１００Ｂには、ダイクロイックミラー２１０８によって、Ｒ色、Ｇ色、Ｂ色のそれぞれに対応する光が入射するので、カラーフィルターを設ける必要はない。また、ライトバルブ１００Ｒ、１００Ｂの透過像は、ダイクロイックプリズム２１１２により反射した後に投射されるのに対し、ライトバルブ１００Ｇの透過像はそのまま投射されるので、ライトバルブ１００Ｒ、１００Ｂによる水平走査方向は、ライトバルブ１００Ｇによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

　【００７５】

　電子機器としては、図２０を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサー、ワークステーション、テレビ電話、ＰＯＳ端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等が挙げられる。そして、これらの各種の電子機器に対して、電気光学装置１が適用可能である。

【符号の説明】

　【００７６】

１…電気光学装置、１０…制御回路、２０…走査制御回路、３０、３０Ａ…映像処理回路、１００…液晶パネル、１００ａ…素子基板、１００ｂ…対向基板、１０５…液晶、１０８…コモン電極、１１０…画素、１１８…画素電極、１２０…液晶素子、３１、３６…遅延回路、３２、３７…境界検出部、３２１、３７１…特定部、３２２、３７２…判定部、３３、３８…補正部、３４…Ｄ／Ａ変換部、３５…切替制御部、２１００…プロジェクター

【書類名】特許請求の範囲

【請求項１】

　複数の画素を含む光変調器の前記画素毎に印加電圧を指定した映像信号に基づいて、前記複数の画素のそれぞれに表示する階調を規定する映像処理回路であって、

　現フレームの前記映像信号に基づいて、所定階調以下の階調を表示する第１画素のうち、前記所定階調よりも高い階調を表示する第２画素と接する前記第１画素を特定する特定部と、

　現フレームに時間軸上で隣り合うフレームの前記映像信号に基づいて、特定された前記第１画素の位置に、前記隣り合うフレームにおいて前記第２画素が存在するかどうかを判定する判定部と、

　前記隣り合うフレームにおいて前記第２画素が存在すると判定された場合には、前記特定された前記第１画素と、当該第１画素と接する前記第２画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正する補正部と、

　補正された当該映像信号に応じた信号を、当該信号に基づいて前記光変調器を駆動する駆動回路に出力する出力部と

　を備える映像処理回路。

【請求項２】

　前記映像信号は、フレーム毎に、左目用画像と右目用画像とが交互に切り替わる３Ｄ映像を示し、

　前記判定部は、

　前記特定された前記第１画素の位置に、現フレームの１フレーム前のフレームにおいて、前記第２画素が存在するかどうかを判定する

　ことを特徴とする請求項１に記載の映像処理回路。

【請求項３】

　前記判定部は、

　前記特定された前記第１画素の位置に、現フレームの１フレーム後のフレームにおいて、前記第２画素が存在するかどうかを判定する

　ことを特徴とする請求項１に記載の映像処理回路。

【請求項４】

　前記補正部は、

　前記特定された前記第１画素と、前記接する前記第２画素とのうち、現フレームの前記映像信号で指定された前記印加電圧が低い一方を補正の対象とする

　ことを特徴とする請求項１から請求項３のいずれか１項に記載の映像処理回路。

【請求項５】

　前記補正部は、

　前記特定された前記第１画素、及び前記接する前記第２画素を補正の対象とする

　ことを特徴とする請求項１から請求項３のいずれか１項に記載の映像処理回路。

【請求項６】

　前記複数の画素は、第１の方向に延在する複数本の走査線と、第２の方向に延在する複数本のデータ線との各交差に対応して設けられ、

　前記駆動回路は、前記複数本の走査線をＫ本（Ｋは２以上の整数）単位で選択して、当該Ｋ本の走査線うちの一の走査線に対応する前記画素に指定された電圧を印加し、

　前記補正部は、

　前記特定された前記第１画素と、前記接する前記第２画素とが、前記第１の方向に隣り合う場合には、当該第１画素と当該第２画素とに挟まれる境界から、前記第１の方向に連続するＰ個（ただし、Ｐは２以上の自然数）の前記画素を補正の対象とし、前記第２の方向に隣り合う場合には、前記境界から、前記第２の方向に連続するＱ個（ただし、ＱはＰよりも小さい自然数）の前記画素を補正の対象とする

　ことを特徴とする請求項１から請求項５のいずれか１項に記載の映像処理回路。

【請求項７】

　前記補正部は、

　前記特定された前記第１画素と、前記接する前記第２画素との境界から、当該境界から離れる方向に連続する２以上の画素を補正の対象とする場合、当該境界に近い画素ほど補正量を大きくする

　ことを特徴とする請求項１から請求項６のいずれか１項に記載の映像処理回路。

【請求項８】

　前記駆動回路は、

　１フレームを複数のフィールドに分割し、分割した各フィールドで、前記補正された前記映像信号に応じた電圧を前記画素に印加し、

　前記判定部は、

　現フレームの一のフィールドにおける前記第１画素の位置に、前記隣り合うフレームにおける当該一のフィールドに時間軸上で最も近いフィールドにおいて、前記第２画素が存在するかどうかを判定する

　ことを特徴とする請求項１から請求項７のいずれか１項に記載の映像処理回路。

【請求項９】

　前記映像信号が、フレーム毎に、左目用画像と右目用画像とが交互に切り替わる３Ｄ映像を示す場合には、

　前記出力部が、補正された前記映像信号に応じた信号を前記駆動回路に出力し、

　前記映像信号が、２Ｄ映像を示す場合には、

　現フレームの前記映像信号に基づいて、前記印加電圧が所定電圧よりも大きい第３画素のうち、前記印加電圧が前記所定電圧以下である第４画素と接する前記第３画素を特定し、

　現フレームの１フレーム前のフレームの前記映像信号に基づいて、特定した前記第３画素の位置に、前記１フレーム前のフレームにおいて前記第４画素が存在するかどうかを判定し、

　前記１フレーム前のフレームにおいて前記第４画素が存在すると判定した場合には、前記特定した前記第３画素と、当該第３画素と接する前記第４画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正し、

　補正した当該映像信号に応じた信号を、前記駆動回路に出力する

　ことを特徴とする請求項１から請求項８のいずれか１項に記載の映像処理回路。

【請求項１０】

　複数の画素を含む光変調器の前記画素毎に印加電圧を指定した映像信号に基づいて、前記複数の画素のそれぞれに表示する階調を規定する映像処理方法であって、

　現フレームの前記映像信号に基づいて、所定階調以下の階調を表示する第１画素のうち、前記所定階調よりも高い階調を表示する第２画素と接する前記第１画素を特定するステップと、

　現フレームに時間軸上で隣り合うフレームの前記映像信号に基づいて、特定した前記第１画素の位置に、前記隣り合うフレームにおいて前記第２画素が存在するかどうかを判定するステップと、

　前記隣り合うフレームにおいて前記第２画素が存在すると判定した場合には、特定した前記第１画素と、当該第１画素と接する前記第２画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正するステップと、

　補正した当該映像信号に応じた信号を、前記光変調器を駆動する駆動回路に出力するステップと

　を有する映像処理方法。

【請求項１１】

　複数の画素を含む光変調器と、

　前記光変調器の前記画素毎に印加電圧を指定した映像信号に基づいて、前記複数の画素のそれぞれに表示する階調を規定する映像処理回路であって、

　現フレームの前記映像信号に基づいて、所定階調以下の階調を表示する第１画素のうち、前記所定階調よりも高い階調を表示する第２画素と接する前記第１画素を特定する特定部と、

　現フレームに時間軸上で隣り合うフレームの前記映像信号に基づいて、特定された前記第１画素の位置に、前記隣り合うフレームにおいて前記第２画素が存在するかどうかを判定する判定部と、

　前記隣り合うフレームにおいて前記第２画素が存在すると判定された場合には、前記特定された前記第１画素と、当該第１画素と接する前記第２画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正する補正部と

　を有する映像処理回路と、

　補正された当該映像信号に応じて、前記光変調器を駆動する駆動回路と

　を備える電気光学装置。

【請求項１２】

　請求項１１に記載の電気光学装置を備えた電子機器。

【書類名】要約書

　映像処理回路は、現フレームの映像信号に基づいて、所定階調以下の階調を表示する第１画素のうち、前記所定階調よりも高い階調を表示する第２画素と接する前記第１画素を特定する特定部と、特定された前記第１画素の位置に、時間軸上で隣り合うフレームにおいて前記第２画素が存在するかどうかを判定する判定部と、前記隣り合うフレームにおいて前記第２画素が存在すると判定された場合には、前記特定された前記第１画素と、当該第１画素と接する前記第２画素との前記印加電圧の差を小さくするように、現フレームの前記映像信号を補正する補正部とを備える。

【選択図】図１